

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-287948

(43)Date of publication of application : 20.11.1989

(51)Int.Cl.

H01L 21/88
H01L 21/302

(21)Application number : 63-117856

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 14.05.1988

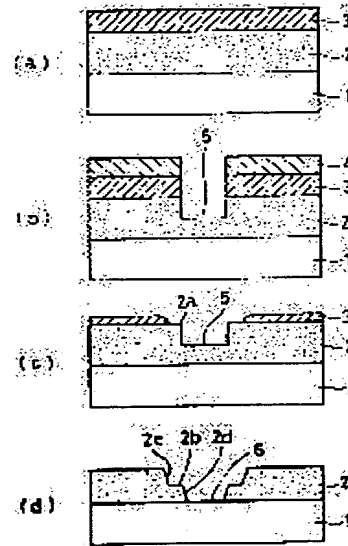
(72)Inventor : MURATA MICHIAKI
TEZUKA HIROAKI
IKEDA YUMIKO

(54) CONNECTION HOLE FORMING METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make it possible to form a connection hole of desired shape by a method wherein the shape of isotropic etching is controlled by changing the condition of the isotropic etching conducted on an interlayer insulating film and a material to be isotropically etched, the area of the interlayer insulating film, to be exposed on the circumference of an aperture, is changed and then anisotropic etching is performed.

CONSTITUTION: A material 3 to be isotropically etched, the selectivity ratio of which is sufficiently large against an interlayer insulating film 2, is formed on an interlayer insulating film 2, and an aperture 5 is formed by anisotropic etching conducted on the material 3 and the interlayer insulating film 2. Then, the interlayer insulating film 2 on the circumference of the aperture 5 is exposed by conducting isotropic etching on the material 3, and a connection hole 6, which is communicated to the aperture 5, is formed by conducting anisotropic etching on the material 3 and the surface of the interlayer insulating film 2. To be more precise, the shape of the material 3 is controlled by changing the condition of the isotropic etching, and the area of the interlayer insulating film 2, to be exposed on the circumference of the aperture 5, is changed. As a result, the connection hole of the desired shape can be formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-287948

⑬ Int. Cl.⁴

H 01 L 21/88
21/302

識別記号

庁内整理番号

D-6824-5F
M-8223-5F

⑭ 公開 平成1年(1989)11月20日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置の接続孔形成方法

⑯ 特 願 昭63-117856

⑰ 出 願 昭63(1988)5月14日

⑱ 発 明 者 村 田 道 昭 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内

⑲ 発 明 者 手 塚 弘 明 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内

⑳ 発 明 者 池 田 由 美 子 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内

㉑ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号
社

㉒ 代 理 人 弁理士 阪本 清孝

明 細 書

1. 発明の名称

半導体装置の接続孔形成方法

2. 特許請求の範囲

層間絶縁膜上にエッチング選択比がこの層間絶縁膜に対して十分に大きい被等方性エッチング材料を形成する第1の工程と、前記被等方性エッチング材料及び層間絶縁膜に異方性エッチングにより開口部を形成する第2の工程と、前記被等方性エッチング材料を等方性エッチングして前記開口部の周囲の層間絶縁膜を露出させる第3の工程と、被等方性エッチング材料及び層間絶縁膜の表面を異方性エッチングして前記開口部に連続する接続孔を形成する第4の工程とを具備することを特徴とする半導体装置の接続孔形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に係り、特に蒸着配線材料の段差被覆性を良好とする接続孔を形成する方法に関する。

(従来の技術)

半導体装置においては機能素子を形成したのちこれらの素子間に配線を施して各々の素子を電気的に連結され所望の回路機能を得ている。この配線を単一層のみで行なうと、素子の集積度を上げるとともに配線が複雑化して微細化の限界に接近するため製造が困難であった。そこで、ICの高度集積化に伴い配線の占有面積を少なくするため、配線を複数層とする多層配線技術が注目されてきた。

多層配線は、例えば第3図のC-MOS集積回路の断面図に示すように、基板21内に形成された各素子領域22と第1層目の配線23との間及び第1層目の配線23と第2層目の配線24との間に層間絶縁膜25を介在させ、所定の領域に穿孔されるS1-A1層間絶縁接続孔26及びA1-A1層間絶縁接続孔27を介して異なる層を電気的に接続して形成される。

接続孔の形成は、反応性イオンエッチング(RIE)法により行われる。この方法によるパター

ンの加工形状は電気絶縁層に対して垂直にエッチングされるため、急峻な段差を生じさせる。高集積化したLSIの微細加工においては、アスペクト比（エッチング膜厚／接続孔直径）が高くなり、接続孔上に着膜する配線層としてのAl膜のカバーレージが低下し、Alの被覆性が悪くなりAl配線の断線等を生じさせる。

そこで、微細加工における配線の高信頼性のため、接続孔の側面部に傾斜をもたせるテーバー加工技術が重要となる。

（発明が解決しようとする課題）

テーバー加工技術としては、膜表面にArイオン等を注入した後、通常のレジストマスクを用い溶液によるエッチングを行なう方法、プラズマ処理をした後、レジストマスクを用い溶液によるエッチングを行なう方法や、レジストと被加工材料の選択比を応用した方法等があるが、いずれの方法においても微細加工には適しないという問題点があった。

そこで、微細加工に対処できるように第4図に

に生じるCFポリマーの付着性と、そのスパッタリング効果の入射角依存性による。すなわち、C、F、とH₂の混合ガスを用いたRIEにおいて、エッチングガス中のH₂濃度を高くし（C、F、=24cc/min、H₂=10cc/min）エッチングガス圧を10mTorrとすると、段差の肩部での付着ポリマーは薄く形成される。この状態でH₂流量を減少させポリマーの付着量を減少させると、段差の肩部でのポリマーはスパッタのため全く付着しなくなり、この部分での膜がエッチングされることとなりテーバー状部が形成される（電子通信学会技術研究報告V.82, No. 108, P15~20参照）。

しかしながら、上記の方法であるとSiO₂膜上にポリマーを均一に付着させるのが難しく、接続孔の形状の均一性を図るのが困難であるとともに接続孔を所望の形状に制御するのが困難であった。

本発明は上記実情に鑑みてなされたもので、テーバー部を有する接続孔の形状の均一性及び制御

示すようなテーバー加工法が行われている。

この方法は、熱酸化法あるいはCVD法によりシリコン基板11上に形成したSiO₂膜12上にレジストを塗布し、パターニングによりSiO₂膜のレジストパターン13を形成する（第4図（a））。

次に、C、F、とH₂の混合ガスを用いたRIE法によりSiO₂膜12をエッチングして接続孔14を穿孔した後、レジストパターン13を除去する（第4図（b））。この段階でSiO₂膜12のエッチング形状は異方性エッチングのため、SiO₂膜12に対してほぼ垂直段差となる。

次に、C、F、とH₂の混合ガスを用いたRIE法により全面にエッチング処理を20分以上施す。この時エッチング条件を制御することにより、平坦部はほとんどエッチングされず、段差部がテーバーをもつようにエッチングされる（第4図（c））。また、段差底部の溝の幅はエッチング処理により変化せず、 $w_1 = w_2$ となる。段差部のみがテーバー状となるメカニズムは、RIE時

性の向上を図ることができる半導体装置の接続孔形成方法を提供することを目的とする。

（課題を解決するための手段）

上記課題を解消するため本発明に係る半導体装置の接続孔形成方法は、次の4つの工程から成る。

第1の工程として、層間絶縁膜上にエッチング選択比がこの層間絶縁膜に対して十分に大きい被等方性エッチング材料を形成する。

第2の工程として、前記被等方性エッチング材料及び層間絶縁膜に異方性エッチングにより開口部を形成する。

第3の工程として、前記被等方性エッチング材料を等方性エッチングして前記開口部の周囲の層間絶縁膜を露出させる。

第4の工程として、被等方性エッチング材料及び層間絶縁膜の表面を異方性エッチングして前記開口部に連続する接続孔を形成する。

（作用）

本発明によれば、エッチング選択比が層間絶縁膜に対して十分に大きい被等方性エッチング材料

を前記層間絶縁膜上に形成したので、層間絶縁膜及び被等方性エッチング材料を等方性エッチングする際の条件を変化させることにより前記被等方性エッチング材料の形状を制御して開口部の周囲に露出させる層間絶縁膜の面積を変化させ、その後、層間絶縁膜及び被等方性エッチング材料を異方性エッチングすることにより所望の形状の接続孔を形成することができる。

(実施例)

本発明の一実施例について図面を参照しながら説明する。

シリコン基板1上に、膜厚10000ÅのSiO₂を減圧CVD法により着膜し層間絶縁膜2を形成する。層間絶縁膜2上に、膜厚5000ÅのSi窒化物を減圧CVD法により着膜して被等方性エッチング材料3を形成する。被等方性エッチング材料3は、等方性エッチングによる選択比が層間絶縁膜2に対して充分に大きく、かつ半導体装置を構成する物質に損傷を与えない材料、例えばSi窒化物やシリコン膜で形成する(第1図

口部5の周囲に層間絶縁膜2の肩部2aが露出する。また、被等方性エッチング材料3のエッチング選択比は層間絶縁膜2のそれに対して充分に大きい(約50)ので、層間絶縁膜2はほとんど(100Å以下)エッチングされない。

次に、CF₄、H₂の混合ガスを用いた異方性反応イオンエッチング(RIE)法により、CF₄、20SCCM、H₂、12SCCM、Power 350W、圧力1.3Paの条件下で被等方性エッチング材料3及び層間絶縁膜2を約20分エッチングする。このエッチングにより被等方性エッチング材料3を除去するとともに、シリコン基板1を露出させて開口部5に達する接続孔6を形成する(第1図(d))。このエッチング前(第1図(c))では開口部5の周囲に層間絶縁膜2が露出しているので、エッチング後の層間絶縁膜2に段部2bが形成されるとともに、肩部2a及び開口部5の底面隅部のエッチング速度が速いので接続孔6の側壁にテーパー部2c及びテーパー部2dが形成される。以上の工程で形成される

(a))。

次いで、被等方性エッチング材料3上にレジスト4を塗布し、これをパターンニングしてエッチングマスクを形成する。そして、CF₄、H₂の混合ガスを用いた異方性反応イオンエッチング(RIE)法により、CF₄、40SCCM、H₂、5SCCM、Power 250W、圧力2.5Paの条件下で被等方性エッチング材料3及び層間絶縁膜2を約50分エッチングして開口部5を前記被等方性エッチング材料3及び層間絶縁膜2の所定箇所に形成する(第1図(b))。開口部5の深さは5000Åとなるようにエッチングを行なう。

続いてレジスト4を除去し、CF₄、O₂の混合ガスを用いた等方性のケミカルエッチングにより、Power 300W、圧力0.5Torrの条件下で被等方性エッチング材料3を3000Åエッチングする(第1図(c))。このエッチングは等方性のため、被等方性エッチング材料3は縦方向にエッチングされるとともに、開口部5の壁面から水平方向に3000Åエッチングされ、開

接続孔6の断面のSEM写真を第2図(a)(b)に示す。第2図(b)で明らかなように、接続孔の側壁にテーパー部が二段に亘り形成されていることが確認できる。

このような工程で形成した接続孔上に配線材料(A1)を着膜すると、なだらかなテーパー部上に配線層が形成されるため被覆性の向上が図れ、配線の断線等を防止でき半導体装置の信頼性の向上が図れる。

本実施例によると、層間絶縁膜2の膜厚、被等方性エッチング材料3の膜厚、等方性エッチング時間、異方性エッチング時間を変化させることにより、接続孔の形状を容易に制御することができる。また、本実施例の各工程の等方性エッチング及び異方性エッチングは制御性が良いので、接続孔の形状の均一性を図ることができる。

本実施例では、被等方性エッチング材料3をCVD法によって着膜したが、スパッタ法や蒸着法等を用いてもよい。

(発明の効果)

上述したように本発明は、エッチング選択比が層間絶縁膜上に対して十分に大きい被等方性エッチング材料を前記層間絶縁膜上に形成したので、層間絶縁膜及び被等方性エッチング材料を等方性エッチングする際の条件を変化させることにより前記被等方性エッチングの形状を制御して開口部の周囲に露出させる層間絶縁膜の面積を変化させ、その後層間絶縁膜及び被等方性エッチング材料を異方性エッチングすることにより所望の形状の接続孔を形成することができる。

従って、接続孔の形状の均一性を図るとともに、その形状を容易に制御することができる。

4. 図面の簡単な説明

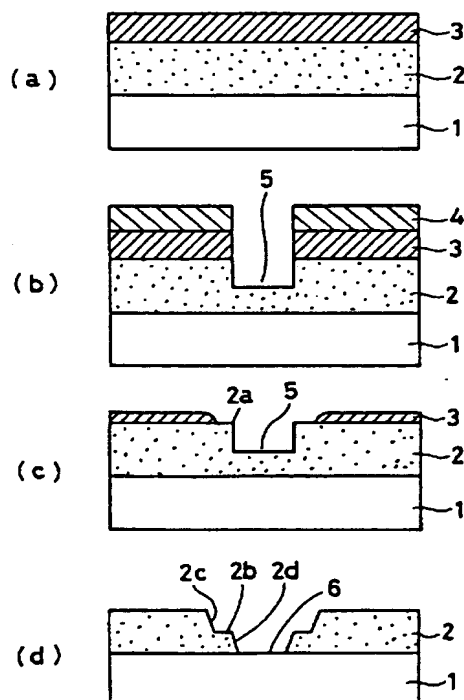
第1図(a)乃至(d)は本発明実施例の半導体装置の接続孔形成方法を説明するための工程図、第2図(a)は本実施例方法で形成した半導体装置の接続孔の断面を示すSEM写真、第2図(b)はその一部拡大断面を示すSEM写真、第3図は多層配線の構造を示す半導体装置の断面説明図、第4図は従来の半導体装置の接続孔形成方法を説

明するための工程図である。

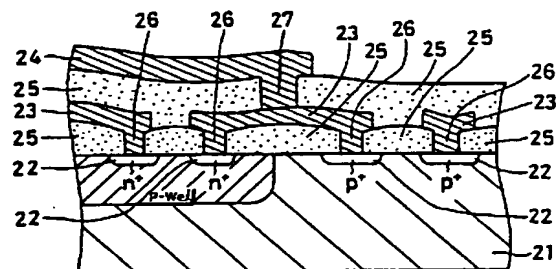
- 1 ……シリコン基板
- 2 ……層間絶縁膜
- 3 ……被等方性エッチング材料
- 4 ……レジスト
- 5 ……開口部
- 6 ……接続孔

出 願 人 富士ゼロックス株式会社
代理人 弁理士 阪 本 清 孝

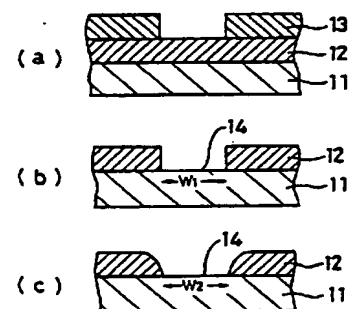
第1図

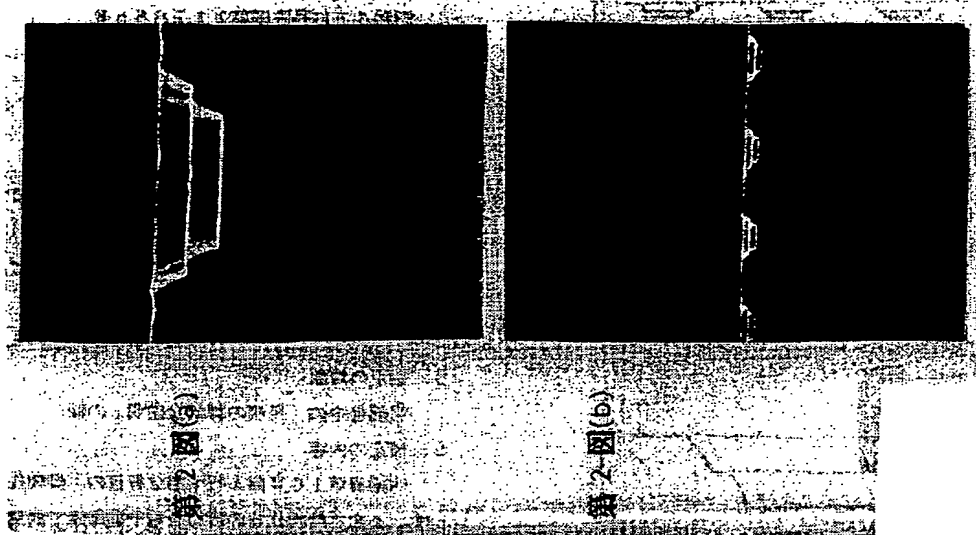


第3図



第4図





BEST AVAILABLE COPY

手続補正書（方式）

昭和63年 9月27日

特許庁長官 殿

1. 事件の表示

昭和63年特許願第117856号

2. 発明の名称

半導体装置の接続孔形成方法

3. 補正をする者

事件との関係 特許出願人

(549) 富士ゼロックス株式会社

4. 代理人

東京都中央区銀座6丁目7番12号 滝山ビル5階

(9277) 弁理士 阪本 清 幸

電話(571)1109番

5. 補正命令の日付（発送日）

昭和63年8月30日

6. 補正の対象

(1) 明細書の「図面の簡単な説明」の箇

(2) 図面

7. 補正の内容

(1) 明細書の第11頁第16行目～第18行目の「第2図(a)は……SEM写真、」を「第2図(a)は本実施例方法で形成した半導体装置の接続孔を電子顕微鏡で観察した状態を示す断面説明図、第2図(b)はその一部を拡大した断面説明図、」と補正する。

(2) 第2図(a)及び第2図(b)を別紙のように補正する。

特開平1-287948(6)

手続補正書(自発)

昭和63年 9月27日

特許庁長官 殿

1. 事件の表示

昭和63年特許願第117856号

2. 発明の名称

半導体装置の接続孔形成方法

3. 補正をする者

事件との関係 特許出願人

(549) 富士ゼロックス株式会社

4. 代理人

東京都中央区銀座6丁目7番12号 滝山ビル5階

(9277) 弁理士 阪本 清 幸

電話(571)1109番

5. 補正の対象

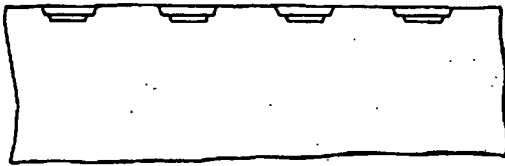
明細書中の「発明の詳細な説明」の欄

6. 補正の内容

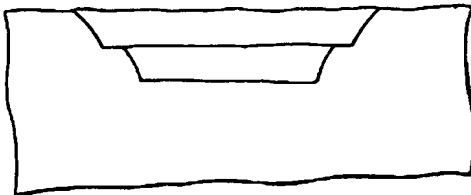
明細書第10頁第1行~第2行目の「接続孔6……に示す。」を「接続孔6の断面を電子顕微鏡で観察した状態を第2図(a)(b)に示す。」と補正する。

方式
審査 (渡山)

第2図(a)



第2図(b)



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-268042

(43)Date of publication of application : 25.10.1989

(51)Int.Cl.

H01L 21/88
H01L 21/302
H01L 21/90

(21)Application number : 63-095506

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.04.1988

(72)Inventor : NIIMURA YOSHIKI
KATO HISAYUKI
IGUCHI HIDESATO

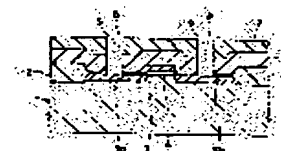
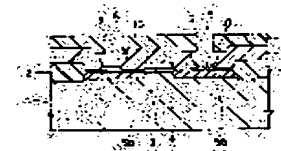
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve dimensional accuracy when contact holes having tapered cross sections are formed, by filling the contact holes halfway with conductive films, and expanding the diameters of the part above the conductive films in the contact hole by etching.

CONSTITUTION: Contact holes 9 are formed so as to connect wirings on a semiconductor substrate 1 on which specified integrated circuits are formed and to connect the semiconductor substrate 1 and the wirings.

At this time, the contact hole 9 which has the same diameter as the size of a resistor mask 7 that is deposited and formed on the surface of the semiconductor substrate 1 is formed. Then, each contact hole 9 is filled with a conductive film 10 to the intermediate part. Then, the diameter of the part of the contact hole 9 higher than said conductive film 10 is expanded by etching. In the process for filling the contact hole 9 to the intermediate part, a low temperature film forming method such as a light-selective CVD method and a low temperature epitaxial growing method is used. Thus the deterioration of photoresist 7 due to heat is prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-268042

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)10月25日

H 01 L 21/88
21/302
21/90

F-6824-5F
M-8223-5F
B-6824-5F

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-95506

⑰ 出 願 昭63(1988)4月20日

⑱ 発 明 者 新 村 嘉 朗 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 発 明 者 加 藤 久 幸 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑳ 発 明 者 井 口 英 里 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 所定の集積回路が形成された半導体基板上の配線間、または前記半導体基板と配線との間を接続するためのコンタクトホールを形成するに際し、前記半導体基板の表面に被着形成されたレジストマスクの寸法通りの径を有するコンタクトホールを形成した後、前記コンタクトホールの中途までを導電膜で孔埋めし、次いで、前記導電膜よりも上方のコンタクトホール径をエッチングで拡大することを特徴とする半導体装置の製造方法。

2. レジストマスクの耐熱温度よりも低い温度でコンタクトホールの孔埋めを行うことを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の製造技術に関し、特に

配線の接続信頼性向上に適用して有効な技術に関するものである。

〔従来の技術〕

半導体装置の高集積化に伴って配線が微細化されるようになると、上層の配線と下層の配線、あるいは配線と基板とを接続するためのコンタクトホールのアスペクト比(コンタクトホールの深さ/コンタクトホールの径)が増大し、コンタクトホールの内部における導電膜の被着率が低下するために、配線の接続信頼性が低下するようになってきた。

その対策として、コンタクトホールの断面形状をテーパ状にすることによって導電膜の被着率向上を図る、いわゆるテーパエッチング技術が実用化されている。

上記テーパエッチング技術については、例えば1984年4月発行、「ソリッドステイト・テクノロジー」"Si酸化膜の選択的反応性イオンエッチング"(Solid State Technology "Selective Reactive Ion Etching of SiO₂")に記載が

あり、テーパエッチング技術の具体例として、コンタクトホールの中途までを等方的にウエットエッチングした後、異方性の高いドライエッチングで残部を垂直にエッチングする方法や、コンタクトホールの中途までを垂直にドライエッチングした後、アッシングによりレジストマスクを後退させ、追加のドライエッチングを行う方法などが説明されている。

〔発明が解決しようとする課題〕

しかし、本発明者の検討によれば、上記した従来のテーパエッチング技術は、エッチングの繰り返しにより、コンタクトホール底部の径が当初のレジストマスク寸法よりも拡大されてしまうという欠点がある。

このようなコンタクトホール径とレジストマスク寸法との誤差は、たとえそれが極めて僅かな場合であっても、コンタクトホール同士の間隔が極めて狭い高密度集積回路においては、配線間の短絡を引き起こすことになる。

本発明は、上記した問題点に着目してなされた

ものであり、その目的は、断面がテーパ状のコンタクトホールを形成するに際し、その寸法精度を向上させることのできる技術を提供することにある。

本発明の前記並びにその他の目的と新規な特徴とは、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。

すなわち、まず、レジストマスクの寸法通りの径を有するコンタクトホールを形成し、その後、上記コンタクトホールの中途までを導電膜で孔埋めし、次いで、上記導電膜よりも上方のコンタクトホール径をエッチングで拡大することによって断面がテーパ状のコンタクトホールを形成する方法である。

〔作用〕

上記した手段によれば、コンタクトホール内部の導電膜で孔埋めされた部分がエッチングされな

いので、当該部分は、レジストマスクの寸法通りの径が維持される。

〔実施例1〕

第1図(a)~(d)は、本発明の一実施例である半導体装置の製造方法を示す半導体基板の要部断面図である。

本実施例1は、例えばMOS形半導体装置の製造方法に適用されたものであり、以下、その工程を第1図(a)~(d)に従って説明する。

まず、所定の抵抗率を有するシリコン単結晶からなる半導体基板(以下、基板という)1の表面に常法に従ってフィールド絶縁膜2、ゲート酸化膜3、ゲート電極4、拡散層5a、5bを形成した後、基板1の表面にリンケイ酸ガラス(PSG)などからなる絶縁膜6を被着する。

次に、上記絶縁膜6の表面にホトレジスト7を被着し、コンタクトホールを形成すべき箇所をエッチングして開口部8、8を形成する(第1図(a))。

次に、上記ホトレジスト7をマスクに用い、開

口部8、8から露出している絶縁膜6およびその下方のゲート酸化膜3をエッチングで除去し、基板1の拡散層5a、5bに達するコンタクトホール9、9を形成する(第1図(b))。

このエッチング工程では、例えば、反応性イオンエッチングなどのような異方性の高いドライエッチング法を用い、コンタクトホール9の径を開口部8の径と一致させる。

次に、高融点金属あるいは低抵抗ポリシリコンなどの導電膜10を選択的に被着し、コンタクトホール9の中途までを導電膜10で孔埋めする(第1図(c))。

この工程では、例えば光選択CVD法や低温エピタキシャル成長法などの低温成膜方法を用いることにより、熱によるホトレジスト7の変質を防止する。その際、コンタクトホール9の内部に被着される導電膜10の膜厚は、ゲート酸化膜3よりも厚くするのがよい。

次に、例えば、ウェットエッチングなどのような等方性の高いエッチング法を用い、コンタクト

ホール9の内部の絶縁膜6をエッチングすることにより、コンタクトホール9の径を開口部8の径よりも大きくする(第1図(d))。

このエッチング工程では、絶縁膜6と導電膜10との選択比を高くすることにより、導電膜10が過剰にエッチングされるのを防止する。

最後に、ホトレジスト7を除去することにより、導電膜10の上方の断面形状がテーパー状をなすコンタクトホール9が得られる。

このように、本実施例1によれば、次の効果を得ることができる。

- (1). あらかじめコンタクトホール9の中途までを導電膜10で孔埋めした後、その上方の絶縁膜6を等方的にエッチングするようにしたので、導電膜10で孔埋めされた部分の径を開口部8の径と一致させることができる。
- (2). 上記(1)により、コンタクトホール9の寸法精度が向上し、隣接するコンタクトホール9、9同士の間隔が極めて狭い場合であっても、配線の短絡を確実に防止することができる。

きくする(第2図(a))。

次に、拡大した開口部8から露出している絶縁膜6をエッチングすることにより、実施例1の場合と同じように、導電膜10の上方の断面形状がテーパー状をなすコンタクトホール9が得られる(第2図(b))。

このように、本実施例2の場合においても、あらかじめコンタクトホール9の中途までを導電膜10を孔埋めした後、その上方の絶縁膜6をエッチングするようにしたので、導電膜10で孔埋めされた部分の径を開口部8の径と一致させることができるなど、前述した実施例1の場合と同様の効果を得ることができる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、実施例1、2では、配線と基板とを接続するためのコンタクトホールに適用した場合に

(3). 上記(2)により、配線の微細化が促進され、半導体装置の高密度化、高集積化が達成される。

(4). ホトレジスト7が変質しない低温条件で導電膜10をコンタクトホール9の内部に被着するようにしたので、マスク工程が一回で済み、コンタクトホール9を形成する工程のスループットが向上する。

〔実施例2〕

第2図(a)~(d)は、本発明の他の実施例である半導体装置の製造方法を示す半導体基板の要部断面図である。

本実施例2は、コンタクトホール9を導電膜10で孔埋めする工程までは前記実施例1と同様であるため、以下、その後の工程のみを説明する。

すなわち、光選択CVD法や低温エピタキシャル成長法などの低温成膜方法を用いてコンタクトホール9の中途までを導電膜10で孔埋めした後、エッチングガスに酸素やオゾンを混合したドライエッチング、すなわちアッシング(灰化)によってホトレジスト7を後退させ、開口部8の径を大

ついで説明したが、上層の配線と下層の配線とを接続するためのコンタクトホールに適用することもできる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

すなわち、所定の集積回路が形成された基板上の配線間、または基板と配線との間を接続するためのコンタクトホールを形成するに際し、まず、基板の表面に被着形成されたレジストマスクの寸法通りの径を有するコンタクトホールを形成した後、コンタクトホールの中途までを導電膜で孔埋めし、次いで、導電膜よりも上方のコンタクトホール径をエッチングで拡大することにより、導電膜で孔埋めされた部分のコンタクトホール径をレジストマスクの寸法と一致させることができるので、断面がテーパー状のコンタクトホールを形成する際の寸法精度を向上させることができる。

4. 図面の簡単な説明

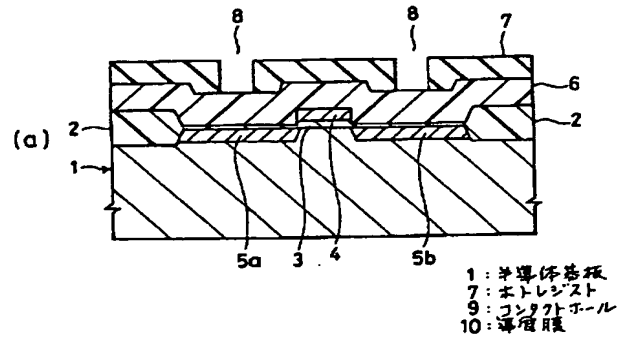
第1図(a)~(d)は、本発明の一実施例である半導体装置の製造方法を示す半導体基板の要部断面図、

第2図(a)~(b)は、本発明の他の実施例である半導体装置の製造方法を示す半導体基板の要部断面図である。

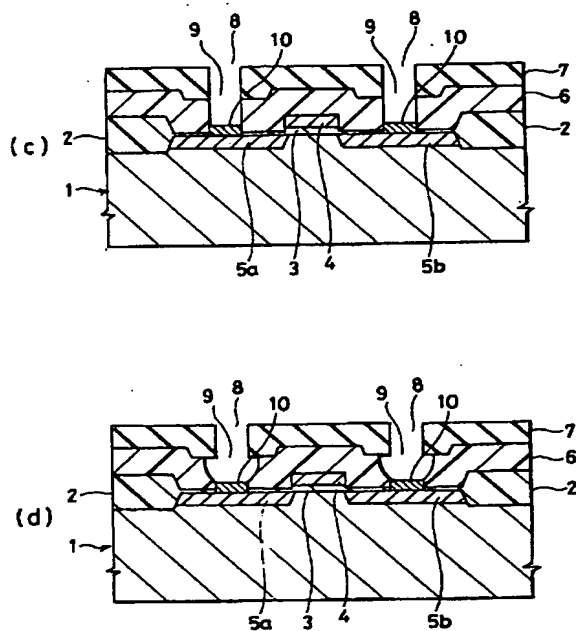
1・・・半導体基板、2・・・フィールド絶縁膜、3・・・ゲート酸化膜、4・・・ゲート電極、5a、5b・・・拡散層、6・・・絶縁膜、7・・・ホトレジスト、8・・・開口部、9・・・コンタクトホール、10・・・導電膜。

代理人 弁理士 小川 勝 男

第 1 図



第 1 図



第 2 図

